

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 1 月 2 6 日  
Date of Application:

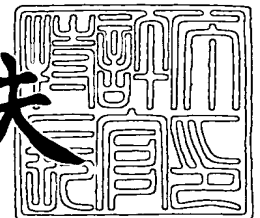
出 願 番 号                      特 願 2 0 0 3 - 3 9 5 6 8 4  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 3 9 5 6 8 4 ]

出 願 人                      沖電気工業株式会社  
Applicant(s):                      株式会社 沖マイクロデザイン

2 0 0 4 年    2 月 1 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 OG004828  
【あて先】 特許庁長官殿  
【国際特許分類】 H03K 3/00  
H03K 21/00  
【発明者】  
【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社沖マイクロ  
デザイン内  
【氏名】 黒木 龍太  
【特許出願人】  
【識別番号】 000000295  
【氏名又は名称】 沖電気工業株式会社  
【特許出願人】  
【識別番号】 591049893  
【氏名又は名称】 株式会社沖マイクロデザイン  
【代理人】  
【識別番号】 100089093  
【弁理士】  
【氏名又は名称】 大西 健治  
【手数料の表示】  
【予納台帳番号】 004994  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9720320

**【書類名】 特許請求の範囲****【請求項 1】**

クロック同期による初期化手段を備えたD型フリップフロップのカスケード接続により構成したシフトレジスタと、

前記シフトレジスタの各段の出力信号の何れか一つを選択する選択手段と、  
を備え、前記選択された信号により前記D型フリップフロップの格段を初期化することを特徴とする可変分周回路。

**【請求項 2】**

請求項 1 記載の可変分周回路において、  
前記D型フリップフロップの初段にはHレベル信号が入力され、  
前記初期化手段はリセット手段であり、  
前記選択手段は、マルチプレクサであることを特徴とする可変分周回路。

**【請求項 3】**

請求項 1 記載の可変分周回路において、  
前記D型フリップフロップの初段にはHレベル信号が入力され、  
前記初期化手段はリセット手段であり、  
前記選択手段は、スイッチ回路であることを特徴とする可変分周回路。

**【請求項 4】**

請求項 1 記載の可変分周回路において、  
前記D型フリップフロップの初段にはLレベル信号が入力され、  
前記初期化手段はプリセット手段であり、  
前記選択手段は、マルチプレクサであることを特徴とする可変分周回路。

**【請求項 5】**

請求項 1 記載の可変分周回路において、  
前記D型フリップフロップの初段にはLレベル信号が入力され、  
前記初期化手段はプリセット手段であり、  
前記選択手段は、スイッチ回路であることを特徴とする可変分周回路。

**【書類名】明細書****【発明の名称】可変分周回路****【技術分野】****【0001】**

この発明は、半導体集積回路において、分周数を可変とすることが出来る可変分周回路、特に、分周段数が多く、高速動作を要求される回路に有効な可変分周回路に関する。

**【背景技術】****【0002】**

従来の可変分周回路は、データロード機能付きのダウンカウンタを用いた構成となっており、カウンタの各ビットのデータが全て論理0（“L”レベル）に成ったときに、予め設定した値をロードすることにより所望の分周数を実現していた。カウンタを用いた可変分周回路は、例えば、特公平6-91425号公報（特許文献1）に開示されている。

**【特許文献1】** 特公平6-91425号公報

**【発明の開示】****【発明が解決しようとする課題】****【0003】**

前記、従来の可変分周回路に於いては、カウンタを構成するフリップフロップがデータロード機能付きのフリップフロップであったため、例えば、データロード機能付を持たないフリップフロップ（例えば、リセット機能つきD型フリップフロップ）の最高動作速度が1.667GHzであるのに対して、データロード機能付きのフリップフロップでは、1.25GHzまでしか動作しないというように、動作速度が遅いという問題があった。

**【課題を解決するための手段】****【0004】**

この発明による可変分周回路は、クロック同期による初期化手段を備えたD型フリップフロップのカスケード接続により構成したシフトレジスタと、シフトレジスタの各段の出力信号の何れか一つを選択する選択手段とを備え、選択された信号によりD型フリップフロップの格段を初期化するように構成している。この時、初段のフリップフロップには、初期化手段に応じて、Hレベル或いはLレベルの信号が入力される。

**【発明の効果】****【0005】**

この発明に係る可変分周回路に於いては、従来のデータロード機能付きのフリップフロップの代わりに、リセット機能付き、或いはプリセット機能付きのD型フリップフロップを複数段用いてシフトレジスタを構成し、各段のフリップフロップの出力信号から一つの出力信号を選択することにより、この選択された信号により各フリップフロップをリセット或いはプリセットするようにしたので、従来の分周回路にくらべて高速な分周回路を構成することが出来る。

**【発明を実施するための最良の形態】****【0006】**

この発明の可変分周回路においては、シフトレジスタの各段を高速のD型フリップフロップで構成しており、その出力を一つ選択して、その選択された信号によりフリップフロップをリセット或いはプリセットしているので、選択手段であるセレクタや、スイッチには高速の素子を使用すると好適である。

**【0007】**

以下、図面を参照して、この発明の実施例を説明する。尚、各図面は、この発明が理解できる程度に簡略化して記載してあるに過ぎず、この発明は図示の例のみに限定されるものではない。また、各図面に共通する要素や同様の機能を有する構成要素については、同一の符号を付与し、重複する説明を省略する。

**【実施例1】****【0008】**

図1は、この発明の実施例1に於ける可変分周回路の回路図であり、同期リセット付き

のD型フリップフロップを複数段配置(D11、D12、・・・D1n)し、初段のフリップフロップD11の入力にはHレベル(或いはLレベル)の固定入力信号10を入力し、それ以降は、前段のフリップフロップの出力を次段のフリップフロップの入力とすることにより、シフトレジスタ回路を構成している。また、格段のフリップフロップの出力はマルチプレクサ(MUX)12の各入力端子に接続され、選択信号の入力端子に接続された入力信号S11、S12、・・・S1nの何れか一つの信号を有効とすることにより、一つの信号が選択されて出力される(信号OUT)。この信号は、各フリップフロップのリセット端子にフィードバックされ、クロック信号(CLK)に同期して各フリップフロップをリセットするように構成されている。

#### 【0009】

尚、上述の例では、リセット機能付きのD型フリップフロップでシフトレジスタを構成した例を説明したが、同期プリセット機能付きのD型フリップフロップを用いてシフトレジスタを構成し、初段の入力信号にLレベルを入力し、上記OUT信号を格段のフリップフロップのプリセット入力端子にフィードバックするように構成することもできる(後述のタイムチャート(図4)参照)。

#### 【0010】

以下、リセット機能付きのD型フリップフロップによりシフトレジスタを構成した場合の可変分周回路の動作を詳細に説明する。

#### 【0011】

図3に示すように、シフトレジスタの初段の入力データがHレベルに設定されている場合、最初のクロック信号の立ち上がりエッジで初段のフリップフロップの出力n11がHレベルとなり、次のクロックの立ち上がりエッジで2段目のフリップフロップの出力n12が、また、三番目のクロックの立ち上がりエッジで三段目のフリップフロップの出力n13がHレベルに変化する。この時、格段のフリップフロップの出力信号の選択手段であるマルチプレクサ(MUX)の選択信号がS13に設定されていると、三段目のフリップフロップの出力信号n13がHレベルに変化した時点で出力OUTにはノードn13の信号が出力され、この信号は各フリップフロップの同期リセット端子に接続されているため、次のクロックの立ち上がりエッジで格段のフリップフロップの出力はHレベルからLレベルに初期化される。

#### 【0012】

更に次のクロック信号が入力されると、その立ち上がりエッジで初段のフリップフロップの出力n11はHレベルとなり、以降同様の動作を繰り返す。これによりこの場合は、原クロック(CLK)信号の四倍の周期のクロックが出力されることになり、原クロックが四分周されたことになる。

#### 【0013】

上述の説明で明らかなように、この実施例の可変分周回路においては、各フリップフロップの出力信号の選択手段であるマルチプレクサの選択信号を任意に設定する(複数の選択信号の内の一つの信号を有効とするように設定する)ことにより、可変分周回路を構成することが可能となる。

#### 【0014】

尚、シフトレジスタの初段のフリップフロップにLレベルを入力した場合は、フリップフロップを同期プリセット機能付きのD型フリップフロップとしてシフトレジスタを構成することにより、図4のタイムチャートに示すような動作を行う可変分周回路を構成することが出来る。

#### 【実施例2】

#### 【0015】

図2は、この発明の実施例2に於ける可変分周回路の回路図であり、同期リセット付きのD型フリップフロップを複数段配置(D11、D12、・・・D1n)し、初段のフリップフロップD11の入力にはHレベル(或いはLレベル)の固定入力信号10を入力し、それ以降は、前段のフリップフロップの出力を次段のフリップフロップの入力とするこ

とにより、シフトレジスタ回路を構成している。また、格段のフリップフロップの出力はスイッチ（SW1，SW2，・・・，SWn）の各入力端子に接続され、各スイッチの制御端子に接続された制御信号SW1，SW2，・・・，SWnの何れか一つの信号を有効とすることにより、一つのスイッチに接続された信号が選択されて出力される（信号OUT）。この信号は、各フリップフロップのリセット端子にフィードバックされ、クロック信号（CLK）に同期して各フリップフロップをリセットするように構成されている。

【0016】

尚、上述の例では、リセット機能付きのD型フリップフロップでシフトレジスタを構成した例を説明したが、実施例1と同様に、同期プリセット機能付きのD型フリップフロップを用いてシフトレジスタを構成し、初段の入力信号にLレベルを入力し、上記OUT信号を格段のフリップフロップのプリセット入力端子にフィードバックするように構成することもできる。

【0017】

この実施例の可変分周回路の動作については、実施例1におけるマルチプレクサがスイッチに置き換わった構成となっており、その他の構成については実施例1と同様であるので、詳細な説明を省略する。

【図面の簡単な説明】

【0018】

【図1】 実施例1における可変分周回路の回路図である。

【図2】 実施例2における可変分周回路の回路図である。

【図3】 実施例1の回路のタイムチャートの一例である。

【図4】 実施例1の回路のタイムチャートの一例である。

【符号の説明】

【0019】

10：初段のフリップフロップの入力信号端子

12：マルチプレクサ

D11，D12，・・・，D1n：シフトレジスタを構成するフリップフロップ

n11，n12，・・・，n1n：各フリップフロップの出力ノード

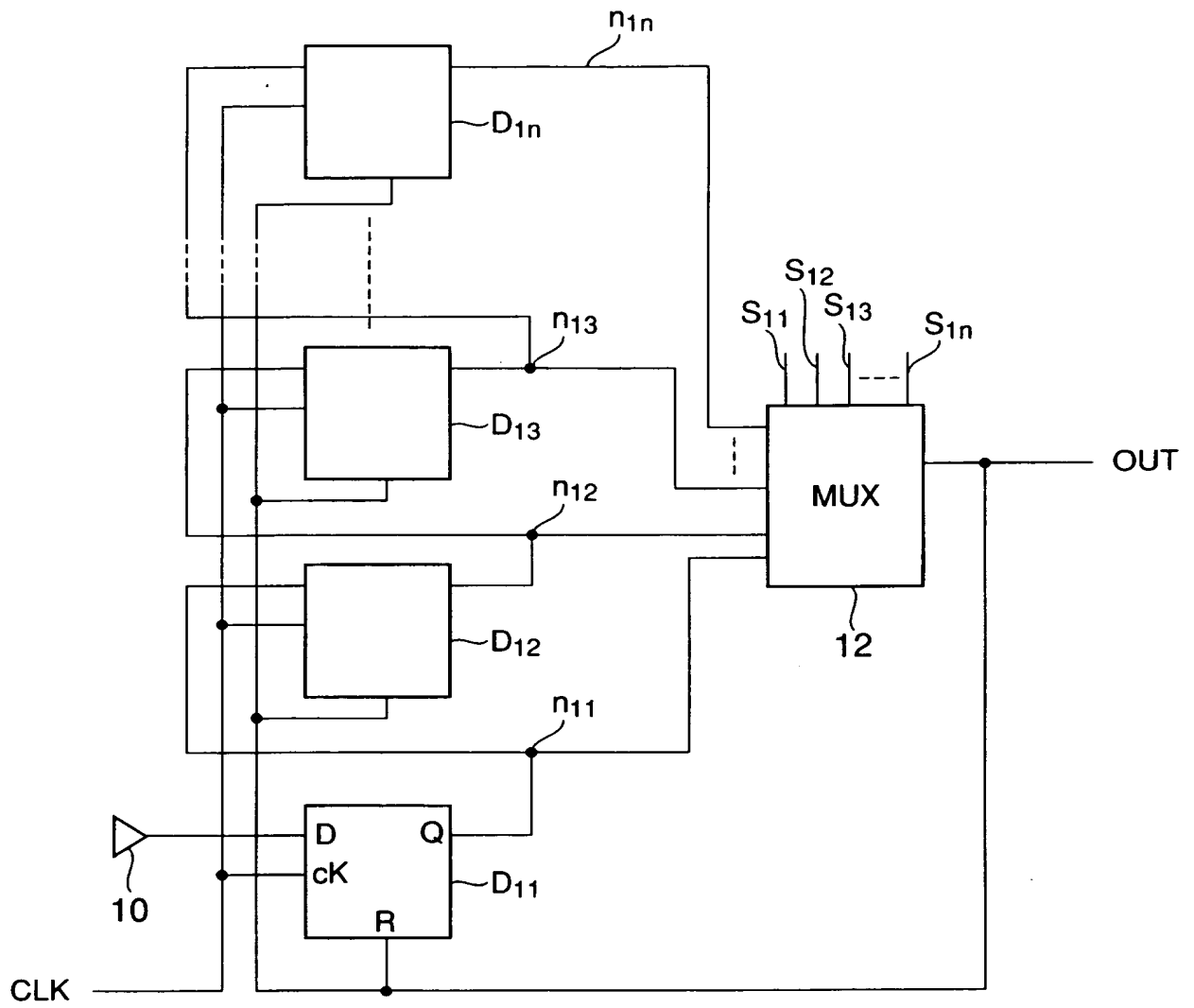
S11，S12，・・・，S1n：マルチプレクサの選択信号

OUT：可変分周回路の出力信号

SW1，SW2，・・・，SWn：スイッチ

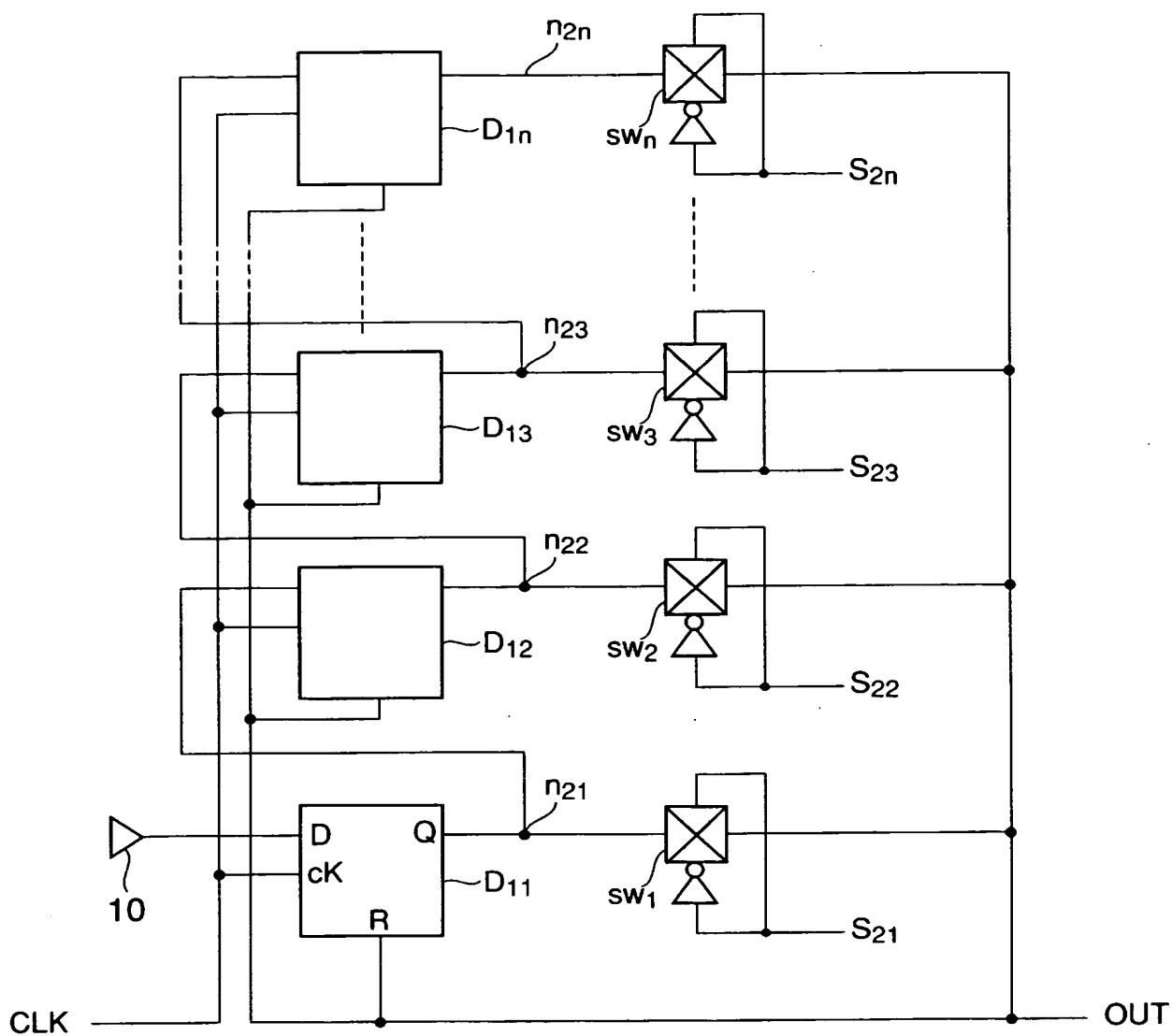
S21，S22，・・・，S2n：スイッチの制御信号

【書類名】 図面  
【図 1】



実施例 1 における可変分周回路

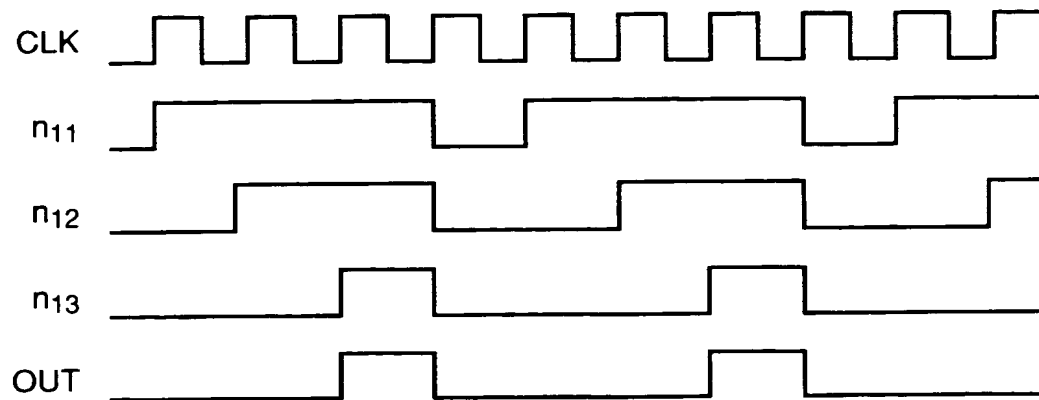
【図 2】



実施例 2 における可変分周回路

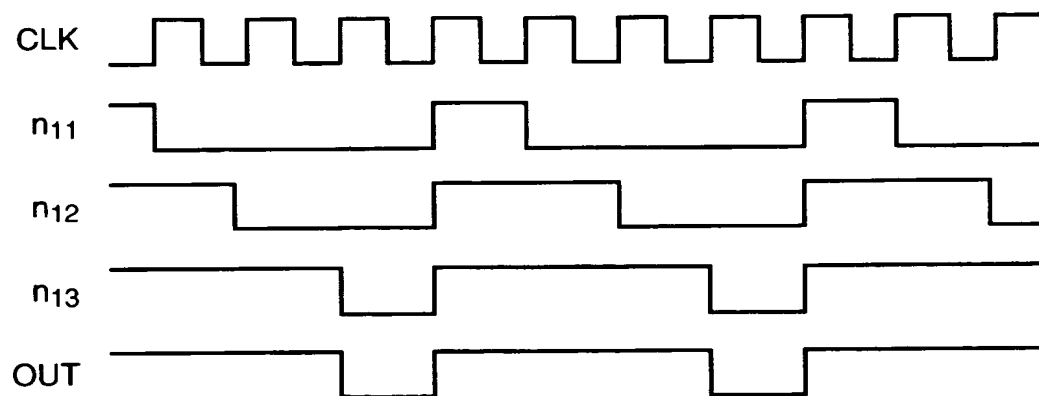


【図 3】



実施例 1 の回路のタイムチャートの一例

【図 4】



実施例 1 の回路のタイムチャートの一例

【書類名】 要約書

【要約】

【課題】 分周回路の動作速度を高速化する。

【解決手段】 クロック同期による初期化手段を備えたD型フリップフロップ（D 1 1, D 1 2, . . . , D 1 n）のカスケード接続により構成したシフトレジスタと、シフトレジスタの各段の出力信号の何れか一つを選択するマルチプレクサ 1 2 とを備え、選択された信号によりD型フリップフロップの格段を初期化するように構成している。この時、初段のフリップフロップの入力端子 1 0 には、初期化手段に応じて、Hレベル或いはLレベルの信号が入力される。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 9 5 6 8 4
受付番号	5 0 3 0 1 9 4 6 0 1 4
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 5 年 1 1 月 2 7 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 11 月 26 日

特願 2 0 0 3 - 3 9 5 6 8 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日

[変更理由] 新規登録

住 所 東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名 沖電気工業株式会社

特願 2 0 0 3 - 3 9 5 6 8 4

出 願 人 履 歴 情 報

識別番号

[ 5 9 1 0 4 9 8 9 3 ]

1. 変更年月日

1 9 9 9 年 6 月 1 7 日

[変更理由]

名称変更

住 所

宮崎県宮崎郡清武町大字木原 7 0 8 3 番地

氏 名

株式会社 沖マイクロデザイン